

BEST AVAILABLE COPY

Family list

4 family members for:

JP9293879

Derived from 3 applications.

- 1 DISPLAY DEVICE AND MANUFACTURE THEREOF**
Publication Info: JP3593212B2 B2 - 2004-11-24
JP9293879 A - 1997-11-11
- 2 Display device having a switch with floating regions in the active layer**
Publication Info: US5895935 A - 1999-04-20
- 3 Display device with inverted type transistors in the peripheral and pixel portions**
Publication Info: US6166397 A - 2000-12-26

Data supplied from the *esp@cenet* database - Worldwide

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

05679079 **Image available**

5 DISPLAY DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 09-293879 [JP 9293879 A]

PUBLISHED: November 11, 1997 (19971111)

INVENTOR(s): YAMAZAKI SHUNPEI

10 CHIYOU KOUYUU

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company
or Corporation), JP (Japan)

APPL. NO.: 08-130911 [JP 96130911]

FILED: April 27, 1996 (19960427)

15 INTL CLASS: [6] H01L-029/786; H01L-021/20; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 44.9
(COMMUNICATION -- Other)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096
(ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC
20 MATERIALS -- Metal Oxide Semiconductors, MOS); R100
(ELECTRONIC MATERIALS -- Ion Implantation)

ABSTRACT

PROBLEM TO BE SOLVED: To realize high precision and improvement in
25 reliability by using TFTs having different structures and/or different
operating principles in response to the necessity as TFTs constituting each
circuit in a display device unified with peripheral driving circuits.

SOLUTION: An active matrix circuit 100 is constituted of a plurality of
30 pixel TFTs arranged in a matrix form, and has no LDD. In peripheral driving

circuits 101, 102, at least two types of circuit TFTs having essentially different structures and/or different operating principles are arranged.

For buffer circuits 105, 109 required to have high durability, high-speed operation and a large ON-state current characteristic, among the two types

5 of TFTs, a TFT having an active layer composed of a source region 201, island regions 203-205, a base region 206 and a drain region 202 is used.

This TFT enables high-speed operation based on different operations of a path through which an ON-state current flows at the time of ON-operation and a path through which the ON-state current flows at the time of

10 OFF-operation.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-293879

(43) 公開日 平成9年(1997)11月11日

(51) Int. Cl. ⁶

識別記号

F I

H01L 29/786

H01L 29/78

612 B

21/20

21/20

21/336

29/78

613 A

616 A

627 G

審査請求 未請求 請求項の数10 F D (全20頁)

(21) 出願番号 特願平8-130911

(22) 出願日 平成8年(1996)4月27日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 張 宏勇

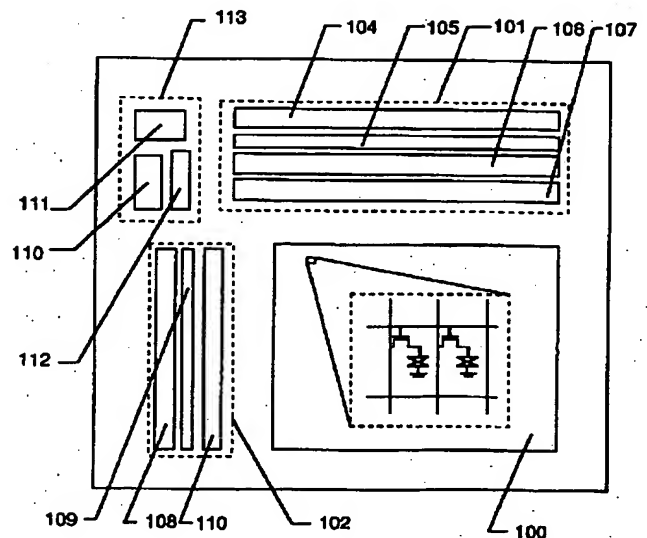
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 表示装置およびその作製方法

(57) 【要約】

【目的】 高精細で高い信頼性を有する表示装置およびそれを実現するための技術を提供する。

【構成】 周辺駆動回路一体型の表示装置において、アクティブマトリクス回路100内に配置される画素TFTにはLDD領域を配置しない構成とする。また、周辺駆動回路101、102を構成する各種回路の内、高い耐圧と速い動作速度を要求するバッファ回路には、活性層のソース/ドレイン領域間に浮島領域およびベース領域を有する構成でなる薄膜トランジスタを配置する。



【特許請求の範囲】

【請求項1】 アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、

前記周辺駆動回路には本質的に異なる構造および／または異なる動作原理を有する少なくとも2種類の薄膜トランジスタが配置されており、

前記2種類の薄膜トランジスタはどちらも前記アクティブマトリクス回路に配置された薄膜トランジスタと本質的に異なる構造を有することを特徴とする表示装置。

【請求項2】 アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、

前記周辺駆動回路には本質的に異なる構造および／または異なる動作原理を有する少なくとも2種類の薄膜トランジスタが配置されており、

前記2種類の薄膜トランジスタの内、少なくとも1種類の薄膜トランジスタは活性層にLDD領域を有し、

前記アクティブマトリクス回路に配置された薄膜トランジスタは活性層にLDD領域を有していないことを特徴とする表示装置。

【請求項3】 請求項1または請求項2において、少なくとも2種類の薄膜トランジスタの内、少なくとも1種類の薄膜トランジスタはオン電流の経路とオフ電流の経路とが異なることを特徴とする表示装置。

【請求項4】 請求項1または請求項2において、少なくとも2種類の薄膜トランジスタの内、少なくとも1種類の薄膜トランジスタの活性層はソース領域、浮島領域、ベース領域およびドレイン領域からなることを特徴とする表示装置。

【請求項5】 請求項1または請求項2において、薄膜トランジスタの活性層を構成する半導体層のソース領域およびドレイン領域におけるシート抵抗が $1 \times 10^4 \Omega/\square$ 以下であることを特徴とする表示装置。

【請求項6】 アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、

前記周辺駆動回路には本質的に異なる構造および／または異なる動作原理を有する少なくとも2種類の薄膜トランジスタが配置されており、

前記少なくとも2種類の薄膜トランジスタの内、バッファ回路を構成する薄膜トランジスタの活性層はソース領域、浮島領域、ベース領域およびドレイン領域からなり、

他の回路を構成する薄膜トランジスタはNチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとを相補的に組み合わせたCMOS構造を構成しており、前記Nチャネル型の薄膜トランジスタにはLDD領域が配置され、

前記Pチャネル型の薄膜トランジスタおよび前記アクティブマトリクス回路に配置された薄膜トランジスタにはLDD領域が配置されないことを特徴とする表示装置。

【請求項7】 アクティブマトリクス回路と周辺駆動回路

とが同一基板上に集積化された構成を有する表示装置の作製にあたって、

ゲイト電極および該ゲイト電極と電気的に接続する陽極酸化用配線を形成する工程と、

前記陽極酸化用配線の一部を分断して、選択的に一部のゲイト電極との電気的な接続を切り離すことを目的とする工程と、

前記分断工程の後に、前記陽極酸化用配線と電気的に接続したゲイト電極のみを陽極酸化して側面に多孔質状の陽極酸化膜を形成する工程と、

を少なくとも有することを特徴とする表示装置の作製方法。

【請求項8】 請求項7において、陽極酸化用配線との電気的な接続を切り離す一部のゲイト電極とは前記アクティブマトリクス回路に配置される薄膜トランジスタのゲイト電極と、

前記周辺駆動回路に配置される、ソース領域、浮島領域、ベース領域およびドレイン領域からなる活性層を有する薄膜トランジスタのゲイト電極であることを特徴とする表示装置の作製方法。

【請求項9】 アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有する表示装置の作製にあたって、

ゲイト電極および該ゲイト電極と電気的に接続する陽極酸化用配線を形成する工程と、

前記ゲイト電極を陽極酸化して側面に多孔質状の陽極酸化膜を形成する工程と、

前記陽極酸化膜の内、一部のゲイト電極に形成された陽極酸化膜のみを選択的に除去する工程と、

を少なくとも有することを特徴とする表示装置の作製方法。

【請求項10】 請求項9において、一部のゲイト電極とは前記アクティブマトリクス回路に配置される薄膜トランジスタのゲイト電極と、

前記周辺駆動回路に配置される、ソース領域、浮島領域、ベース領域およびドレイン領域からなる活性層を有する薄膜トランジスタのゲイト電極であることを特徴とする表示装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本明細書で開示する発明は、結晶性を有する薄膜半導体を用いた半導体装置を有する表示装置およびその作製方法に関する。特に、アクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】 液晶表示装置とは一對のガラス基板間に液晶層を挟持した構造を有してなり、その液晶層に電界を加えてその光学特性を変化させることにより、液晶層を透過する可視光を変調する機能を有した画像表示装置である。

【0003】この液晶層の光学特性を変化させる電界は画素電極および共通電極との間に形成され、画像信号に応じて画素電極に出入りする電荷量を制御することで所望の階調表示を行うことができる。

【0004】そのため、最近ではアクティブマトリクス型表示装置が次世代ディスプレイの代表となっており、さかんに研究開発が進められている。

【0005】アクティブマトリクス型表示装置とは、マトリクス状に配置された数百万個もの各画素のそれぞれに薄膜トランジスタ (TFT) を配置し、各画素電極に出入りする電荷を TFT のスイッチング機能により制御するものである。

【0006】そして、各画素 TFT (これら複数の画素 TFT を総称してアクティブマトリクス回路と呼ぶ) は画素領域の周辺に形成された周辺駆動回路領域に配置される回路 TFT によって制御される。また、回路 TFT はその組み合わせによってバッファ回路やシフトレジスタ回路などの各種回路を構成している。

【0007】即ち、アクティブマトリクス型表示装置とは、画素領域にマトリクス状に配置される画素 TFT と、周辺駆動回路領域に配置される回路 TFT とを全て同一基板上に集積化した構成である。

【0008】しかしながら、現在アクティブマトリクス型の液晶表示装置において表示にムラが生じたり、縞模様が出てしまうということが問題となっている。特に、この縞模様は画像表示の際に視覚的な外観を極めて害するものである。

【0009】そして、本発明者らは表示装置を駆動させた際に発生する縞模様の様に見える表示不良 (表示欠陥) についての研究を重ねた結果、その原因が画素 TFT の活性層に形成される LDD 領域にあることを見出した。その理由は以下に示すような理由による。

【0010】アクティブマトリクス型液晶表示装置を構成する際、薄膜トランジスタの活性層には一般的に結晶性珪素膜が用いられる。結晶性珪素膜は非晶質珪素膜を結晶化して得るのが一般的である。

【0011】結晶化手段としては低温で結晶化できる利点を持つエキシマレーザーアニールが多用されている。レーザーアニールによる結晶化は線状や矩形状にビーム加工したレーザーを照射して行われる。一般的にレーザーアニールによって結晶化した結晶性珪素膜は均一な結晶性を得るのが困難であることが知られている。

【0012】また、瞬間的に結晶成長する結晶粒間に押し寄せられた熔融状態の珪素膜はちょうど波のように盛り上がった状態で固相となってしまう。すると、このような部分は得られた結晶性珪素膜表面において丘状の突起 (以下、この突起をリッジと呼ぶ) として確認される。

【0013】このように、レーザーアニールにより得られた結晶性珪素膜は基板面内において結晶性や表面状態

が様々に異なる状態となっている。

【0014】LDD 領域を形成する際、結晶性珪素膜は不純物イオンを注入されるため結晶性が乱されて一旦非晶質化する。この時、上記結晶性の違いやリッジの存在確率の違い等の影響で、不純物イオン濃度にバラツキが生じている。

【0015】その結果、レーザーアニールによる不純物イオンの活性化と珪素膜の再結晶化を行った際に、上記結晶性のバラツキやリッジの存在による不純物イオン濃度のバラツキ等を反映して LDD 領域のシート抵抗にバラツキが生じる。

【0016】即ち、レーザーアニールに起因するバラツキがそのまま LDD 領域のシート抵抗のバラツキに大きな影響を与えるのである。この LDD 領域のシート抵抗のバラツキが TFT 動作時のオン電流のバラツキに対応する。

【0017】そして、そのオン電流のバラツキが大きい場合には画素電極への電荷の蓄積が不十分となり所望の画像表示が不可能となる。また、オン電流のバラツキは画素電極への蓄積電荷量に影響するため画素電極の保持電圧レベルがオン電流のバラツキに応じて変化し、所望の階調表示が得られないといった問題も発生する。

【0018】一方で、高速動作および高出力を要求される回路 TFT は発熱やホットキャリアによる劣化が重要な問題となるので、必然的に LDD 領域は必要不可欠な構成であった。

【0019】従って、特開平 1-289917 号公報に記載される様に画素 TFT および回路 TFT とを同一構造の TFT でもって構成すると、必ず画素 TFT にも LDD 領域が設けられていた。

【0020】即ち、同一構造を有する TFT を全ての回路 (アクティブマトリクス回路および周辺駆動回路) に適用する場合、周辺駆動回路を念頭におくと必然的に耐劣化性を重視して LDD 領域を構成することになり、その事が逆に画素 TFT のオン電流のバラツキを招き、縞模様の様な表示欠陥を発生させる原因となってしまうのである。

【0021】また一方で、16V 程度の高耐圧を要求するバッファ回路を構成する回路 TFT に LDD 領域を配置すると、動作速度が遅くなり回路特性が低下するといったことが問題となっている。

【0022】

【発明が解決しようとする課題】 本明細書で開示する発明は、上記問題点を解決して高精細かつ高い信頼性を有する周辺駆動回路一体型のアクティブマトリクス型表示装置およびそれを実現する技術を提供することを課題とする。

【0023】

【課題を解決するための手段】 本明細書で開示する発明の構成は、アクティブマトリクス回路と周辺駆動回路と

が同一基板上に集積化された構成を有し、前記周辺駆動回路には本質的に異なる構造および／または異なる動作原理を有する少なくとも2種類の薄膜トランジスタが配置されており、前記2種類の薄膜トランジスタはどちらも前記アクティブマトリクス回路に配置された薄膜トランジスタと本質的に異なる構成を有することを特徴とする。

【0024】即ち、同一基板上に形成されたアクティブマトリクス回路と周辺駆動回路とを集積化した構成において、各回路を構成するTFTを必要に応じて異なる構造および／または異なる動作原理とする。

【0025】また、他の発明の構成は、アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有し、前記周辺駆動回路には本質的に異なる構造および／または異なる動作原理を有する少なくとも2種類の薄膜トランジスタが配置されており、前記少なくとも2種類の薄膜トランジスタの内、バッファ回路を構成する薄膜トランジスタの活性層はソース領域、浮島領域、ベース領域およびドレイン領域からなり、他の回路を構成する薄膜トランジスタはNチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとを相補的に組み合わせたCMOS構造を構成しており、前記Nチャネル型の薄膜トランジスタにはLDD領域が配置され、前記Pチャネル型の薄膜トランジスタおよび前記アクティブマトリクス回路に配置された薄膜トランジスタにはLDD領域が配置されないことを特徴とする。

【0026】本発明の第1の主旨は、アクティブマトリクス回路を構成する画素TFTにはLDD領域の様な緩衝領域を設けないことにある。従来例で述べた様に、縞模様に見える表示不良への対策としてLDD領域の様な緩衝領域を形成しない構成とすることが効果的だからである。

【0027】また、画素TFTは必要とする移動度が小さく、大電流が流れることがないので耐劣化性に厳しい条件がない。また、等価的に複数のTFTを直列に接続したと見なせるマルチゲート型TFT構造を採用して個々のチャネル／ドレイン接合部にかかる電界を緩和させることで耐圧性を向上させることが可能である。

【0028】本発明の第2の主旨は、周辺駆動回路には本質的に異なる構造および／または異なる動作原理を有する少なくとも2種類の回路TFTが配置されていることにある。

【0029】ここでアクティブマトリクス型液晶表示装置の集積化回路を構成する側の基板（アクティブマトリクス基板と呼ぶ）の簡略化した回路構成を図1に示す。

【0030】図1において100はアクティブマトリクス回路であり、マトリクス状に配置された複数の画素TFTで構成されている。この画素TFTは上述の様にLDD領域を設けない様に形成されている。

【0031】また、101の点線で囲まれた領域は垂直

走査駆動回路領域、102の点線で囲まれた領域は水平走査駆動回路領域である。垂直走査駆動回路領域101および水平走査駆動回路領域102は機能毎に以下に示す様な回路に区別される。

【0032】まず、垂直走査駆動回路はシフトレジスタ回路103、レベルシフト回路104、バッファ回路105、サンプリング回路106とで構成される。なお、シフトレジスタ回路103はカウンタ回路とデコード回路を組み合わせて代用する場合もある。

【0033】ここでレベルシフト回路104とは、駆動電圧の増幅を行う回路のことである。例えば、現状ではシフトレジスタ回路が10Vで駆動されるので、バッファ回路105を16Vで駆動するにはレベルシフト回路104で10Vから16Vへの電圧変換を行う必要がある。

【0034】また、水平走査駆動回路はシフトレジスタ回路107、レベルシフト回路108、バッファ回路109とで構成される。勿論、シフトレジスタ回路107はカウンタ回路とデコード回路を組み合わせて代用することができる。

【0035】また近年、同一基板上に全てのシステムを構築するシステム・オン・ガラスの研究が急速に進められており、近い将来には上記回路以外にメモリ回路110、CPU回路111、デジタル／アナログ変換回路112等で構成されるコントロール回路領域113が形成されることも予想される。

【0036】これら各種回路は大抵の場合は低電力化が求められるため、3～10V程度の駆動電圧で動作する。この程度の駆動電圧であるならば、その回路を構成するTFTに対して特に高耐圧を要求する必要はない。

【0037】しかしながら、バッファ回路105、109はその機能上、前述の回路よりも5V以上またはそれ以上の高電圧（例えば16V）で駆動する必要がある。従って、その場合は耐圧の高いTFTでバッファ回路105、109を構成しなければならない。

【0038】ところが、バッファ回路105、109は高耐圧と同時に高速動作が要求されるため、LDD領域やオフセットゲート領域のような緩衝領域を配置することによる耐圧の向上には限界がある。

【0039】なぜならば、LDD領域やオフセットゲート領域を配置するとソース／ドレイン領域間の抵抗が高くなり、オン電流や移動度を高めることが出来ず高速動作には不利な構造となるからである。

【0040】この様に高い耐圧と高速動作、さらに大オン電流特性が要求されるバッファ回路105、109には、本発明者らが発明したソース領域、浮島領域、ベース領域およびドレイン領域からなる活性層を有するTFTを使用する。

【0041】このソース領域、浮島領域、ベース領域およびドレイン領域からなる活性層を有するTFTとは、概略的に以下に説明するような特徴を有する薄膜トラン

ジスタのことである。この説明は図2～図4を用いて行う。

【0042】このTFTは基本的に絶縁ゲイト型電界効果トランジスタの構成を有している。そして、オン動作時のオン電流の流れる経路と、オフ動作時のオフ電流の流れる経路とが異なる動作をするものである。

【0043】即ち、オン動作時におけるキャリア(Nチャネル型であれば電子)の移動経路とオフ動作時のキャリア(Nチャネル型であればホール)の移動経路とを異ならせた構成を有している。

【0044】このような構成とすることにより、低オフ電流特性、高耐圧、高信頼性を有した構成とすることができる。そして、高速動作させることができ、さらに大きなオン電流を流すことができる。

【0045】上記構成を有するTFTの具体的な構成例を図2～図4を用いて説明する。図2(A)に示すのは薄膜トランジスタの活性層となる島状半導体層である。この島状半導体層のソースとなる領域201およびドレインとなる領域202で挟まれた領域200は、選択的にイオン注入が行われ、一導電性を付与した領域(この領域を特に浮島領域とよぶ)203～205が形成されている。

【0046】この浮島領域203～205の導電性はソースとなる領域201およびドレインとなる領域202の導電性と等しく、例えばNチャネル型TFTを作製する場合、P+イオンを $1 \times 10^{11} \sim 1 \times 10^{14}$ 原子/cm²、好ましくは $3 \times 10^{11} \sim 3 \times 10^{13}$ 原子/cm²のドーズ量でイオン注入する。

【0047】この際、浮島領域203～205は必ずしも図2(A)の様に島状半導体層の外縁に接してなくても構わない。即ち、領域200内に島状に点在するような状態であっても良い。

【0048】また、領域200内においてイオン注入が行われなかった領域206は実質的に真性であり、チャネルを形成する領域(この領域を特にベース領域とよぶ)となる。

【0049】このようなイオン注入が施された島状半導体層を用いて作製した薄膜トランジスタの電気特性の概略を以下に説明する。なお、以下の記載は断らない限りNチャネル型TFTを例にとり行う。

【0050】図2(A)に示すような構成でなる島状半導体層において、薄膜トランジスタがオフ状態の時は、ベース領域206と浮島領域203～205との境界はポテンシャルバリア(エネルギー障壁)が高く、キャリアの移動は殆ど行われない。そのため、キャリアはベース領域206のみを経路として移動し、矢印に沿ってキャリアの移動による電流(オフ電流)が観測される。

【0051】ところが、薄膜トランジスタがオン状態の時は、ベース領域206が反転して浮島領域203～205との境界はポテンシャルバリアが極めて小さい状態

となる。その結果、キャリアはベース領域206と浮島領域203～205との間を容易に移動するようになり、図2(B)の矢印で示すような経路でキャリアの移動による電流(オン電流)が観測される。

【0052】このように薄膜トランジスタのオフ状態とオン状態とでポテンシャルバリアが変化する様子を図3を用いて概略説明する。なお、図3においてV_gはゲイト電圧(V_g>0)、E_cは伝導帯、E_vは価電子帯、E_fはフェルミレベルを表している。

10 【0053】まず、薄膜トランジスタがオフ状態(ゲイトに負電圧が印加された状態)の時、ベース領域206においては図3(A)のようなバンド状態となっている。即ち、少数キャリアである正孔が半導体表面に集まり、電子が払われた状態にあるため、ソース/ドレイン間では正孔が若干移動する。これがオフ電流として観測される。

【0054】一方、浮島領域203～205はP+イオンを注入してあるため、フェルミレベルE_fは伝導帯E_cの近くへと押し上げられている。この時、浮島領域203～205においては図3(B)のようなバンド状態となっている。

【0055】図3(B)のように、N型を示す半導体層である浮島領域203～205においてはゲイトに負電圧を印加しても、エネルギーバンドは僅かにしか曲がらない。

【0056】従って、図3(A)における半導体表面の価電子帯のエネルギーと図3(B)における半導体表面の価電子帯のエネルギーとのエネルギー差がポテンシャルバリアに相当する。そのため、正孔がベース領域206と浮島領域203～205を往復することはない。

【0057】次に、薄膜トランジスタがオン状態(ゲイトに正電圧が印加された状態)の時、ベース領域206においては図3(C)のようなバンド状態となっている。即ち、多数キャリアである電子が半導体表面に蓄積されるため、ソース/ドレイン間には電子の移動が生じる。

【0058】この時、浮島領域203～205においては図3(D)のようなバンド状態となっている。図3

40 (D)に示す様に、前述のゲイトに負電圧を印加した時同様、N型を示す半導体層である浮島領域203～205においてはゲイトに正電圧を印加してもエネルギーバンドは殆ど曲がらない。

【0059】しかしながら、図3(D)において元々フェルミレベルE_fは伝導帯E_cの近くに押し上げられているため、伝導帯には多数の電子が常に存在している。

【0060】従って、ゲイトに正電圧を印加した場合、ベース領域206および浮島領域203～205は共に電子が移動し易いバンド状態となっているため、ベース領域206および浮島領域203～205の境界のポテンシャルバリアは無視することが出来る。

【0061】以上の様に、オフ状態ではベース領域206のみがキャリアの移動経路となり、オン状態ではベース領域206および浮島領域203~205がキャリアの移動経路となる。この様子を簡略化したモデルを用いて以下にまとめる。

【0062】図4(A)に示すのは図2(A)と同じ半導体層である。なお、ベース領域の上方にはゲイト絶縁膜を介してゲイト電極400が示されている。

【0063】薄膜トランジスタがオン状態にある時、即ち、ゲイト電極に正電圧が印加されると図4(A)中に記載されたA-A'で示される実線方向にオン電流が流れる。この時、A-A'における断面は図4(B)の構造であり、回路図は図4(C)のようになる。なお、図4(B)のゲイト電極401下のベース領域は反転層402が形成されている。

【0064】また、薄膜トランジスタがオフ状態にある時、即ち、ゲイト電極に負電圧が印加されると図4

(A)中に記載されたB-B'で示される破線に沿ってオフ電流が流れる。この時、B-B'における断面は図4(D)の構造であり、回路図は図4(E)のようになる。即ち、1つの長いゲイト電極403下に長いベース領域が存在し、実質的にチャネル長が極端に長いトランジスタを構成していることと見なせる。

【0065】従って、薄膜トランジスタがオン状態の時はキャリアが最短距離を通過して移動し、実質的にチャネル長が短く、かつ、チャネル幅が広くなるため、観測されるオン電流は大きな値となる。

【0066】一方、薄膜トランジスタがオフ状態の時は、キャリアがベース領域のみを移動し、実質的にチャネル長が長く、かつ、チャネル幅が狭くなると見なせる。即ち、チャネル領域の抵抗成分が実質的に増加した構成となり、観測されるオフ電流は小さな値となる。

【0067】以上説明したような構造とすると、島状半導体層の占有面積をさほど変えずに大幅なオフ電流の低減およびオン電流の増加、即ち、オン/オフ比を向上する効果を得られ、従来以上の性能を有する活性層を形成することができる。

【0068】またオフ動作時において、図2(A)における領域200の側面を経由して伝導するキャリアの経路を無くす構成とすることも耐圧や信頼性を向上させる上で重要となる。

【0069】活性層の側面には、パターニングの際に形成された高密度のトラップが存在しており、そこを経由してのキャリアの移動経路が形成されやすい。特にオフ動作時におけるオフ電流の原因は、この活性層の側面を経由したキャリアの移動によるものが大きい。また、この活性層の側面におけるキャリア移動経路は、不安定なものでTFTの信頼性の低下を招く要因ともなる。

【0070】よって、オフ動作におけるキャリアの移動経路を図2(A)の矢印で示されるようなものとするこ

とはオフ動作時の耐圧を高め、また高い信頼性を与えることに有用なものとなる。

【0071】また、以上説明した様な薄膜トランジスタはそれ自体が高い耐圧性と耐劣化性を有するものである。特にLDD領域の如き緩衝領域を設けなくても十分な信頼性を得ることができる。

【0072】以上の要件をまとめると、課題を解決するための手段としては次に挙げる様な構成の表示装置を作製する必要がある。

(1) アクティブマトリクス回路を構成する画素TFTにはLDD領域の様な緩衝領域を設けない。

(2) 周辺駆動回路には本質的に異なる構造および/または異なる動作原理を有する少なくとも2種類の回路TFTが配置されている。

【0073】なお、(2)において少なくとも2種類の回路TFTの内、高耐圧を要求するバッファ回路を構成する回路TFTは、図2~図4を用いて説明した様なソース領域、浮島領域、ベース領域およびドレイン領域からなる活性層を有する薄膜トランジスタである。

【0074】上記(1)の構成を満たす表示装置を作製するためには、選択的にLDD領域を形成する技術が必要である。そこで、本発明者らはLDD領域を形成するにあたって、以下に示す様な手段を採用することを提案している。

【0075】即ち、他の発明の構成は、アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化された構成を有する表示装置の作製にあたって、ゲイト電極および該ゲイト電極と電気的に接続する陽極酸化用配線を形成する工程と、前記陽極酸化用配線の一部を分断して、選択的に一部のゲイト電極との電気的な接続を切り離すことを目的とする工程と、前記分断工程の後に、前記陽極酸化用配線と電気的に接続したゲイト電極のみを陽極酸化して側面に多孔質状の陽極酸化膜を形成する工程と、を少なくとも有することを特徴とする。

【0076】本発明者らが採用するLDD領域形成技術は、例えば特開平7-169974号公報に記載されている。この公報ではゲイト電極側面に形成した多孔質状の陽極酸化膜をイオン注入時のマスクとして活用して、チャネル領域とソースおよびドレイン領域との間にLDD領域を形成する技術を提供している。

【0077】そこで本発明は、この多孔質状の陽極酸化膜を形成するための陽極酸化用配線を一部で分断し、選択的に一部のゲイト電極と切り離すことによって当該ゲイト電極の側面に多孔質状の陽極酸化膜を形成しないことを特徴としている。

【0078】即ち、ゲイト電極側面に多孔質状の陽極酸化膜が形成されないTFTにはLDD領域が配置されないものである。

【0079】また、他の発明の構成は、アクティブマトリクス回路と周辺駆動回路とが同一基板上に集積化され

た構成を有する表示装置の作製にあたって、ゲイト電極および該ゲイト電極と電気的に接続する陽極酸化用配線を形成する工程と、前記ゲイト電極を陽極酸化して側面に多孔質状の陽極酸化膜を形成する工程と、前記陽極酸化膜の内、一部のゲイト電極に形成された陽極酸化膜のみを選択的に除去する工程と、を少なくとも有することを特徴とする。

【0080】この場合は、一度全てのゲイト電極に多孔質の陽極酸化膜を形成した後に、一部のゲイト電極に形成された多孔質の陽極酸化膜のみを選択的に除去することを特徴としている。

【0081】また、上述の2通りの方法のどちらにおいても、多孔質の陽極酸化膜を形成しない、もしくは除去してLDD領域を配置しない薄膜トランジスタは、画素TFTおよび図2～図4を用いて説明したTFTである。

【0082】

【発明の実施の形態】図1において、アクティブマトリクス回路100内に配置される画素TFTはLDD領域を設けない構成とする。

【0083】また、周辺駆動回路101、102を構成する各種回路の内、高耐圧特性と速い動作速度を要求するバッファ回路105、109は、従来のTFTよりも高耐圧、高信頼性を有する図2～図4を用いて説明したTFTを用いる。

【0084】従って、周辺駆動回路においてはLDD領域を配置した通常の薄膜トランジスタと、図2～図4を用いて説明したTFTとが配置される。この2種類の薄膜トランジスタは、その構造も動作原理も異なる。

【0085】また、アクティブマトリクス回路においてはLDD領域を配置しない通常の薄膜トランジスタが配置される。この薄膜トランジスタ（画素TFT）は、LDD領域の有無または動作原理の違いから、周辺駆動回路に配置される2種類のTFTのどちらとも異なるものである。

【0086】

【作用】画素TFTにLDD領域を配置しない構成とすることにより、縞模様として認識される画像表示不良を発生しない表示装置を作製することができる。

【0087】また、バッファ回路を図2～図4を用いて説明したTFTでもって構成することにより、高速動作を行うことができ、かつ高い耐圧性を有するバッファ回路を形成できる。

【0088】即ち、本発明に従えば高精細で高い信頼性を有する表示装置を作製することが可能である。

【0089】上記構成でなる本発明の詳細について、以下に記載する実施例でもって説明を行うこととする。

【0090】

【実施例】

【実施例1】本実施例では、Nチャネル型TFTとPチ

ャネル型TFTとを相補的に組み合わせたCMOS構造と、バッファ回路を構成するTFTと、複数のゲイト電極を有するマルチゲイト型TFTとを同一基板上に形成する場合のそれぞれの作製工程を示す。

【0091】その際に、本実施例は陽極酸化用配線の一部を分断して、選択的に一部のゲイト電極との電気的な接続を切り離し、陽極酸化用配線と電気的に接続したゲイト電極のみを陽極酸化する例を示す。説明は図5を用いて行う。

【0092】まず、図5(A)において絶縁性を有する基板、代表的にはガラス基板上に酸化珪素膜等の絶縁膜を成膜した基板501を準備する。そして、その上に図示しない非晶質珪素膜をプラズマCVD法や減圧熱CVD法により200～1000Åの厚さに成膜する。

【0093】この図示しない非晶質珪素膜を適当な結晶化方法により結晶化して図示しない結晶性珪素膜を得る。結晶化方法としては、500～700℃、代表的には600℃の温度で1～24hr程度の加熱処理を施したり、KrFやXeClのエキシマレーザーによるアニールを行えば良い。また、両手段を併用することも効果的である。

【0094】また、結晶化に際して結晶化を助長する金属元素を導入すると低温、短時間で優れた結晶性を得ることが可能であるので好ましい。

【0095】次に、得られた図示しない結晶性珪素膜をパターンニングして活性層502～505を形成する。

【0096】なお、502はCMOS構造においてPチャネル型TFTを、503はNチャネル型TFTを形成する活性層であり、シフトレジスタ回路等の周辺駆動回路を形成する。

【0097】また、504は図2～図4を用いて説明したTFTを形成する活性層であり、バッファ回路を形成する。

【0098】また、505はマルチゲイト型TFTを形成するための活性層であり、アクティブマトリクス回路に配置される画素TFTを形成する。

【0099】各活性層502～505を形成したら、それを覆う様に酸化珪素膜でなるゲイト絶縁膜506を1200Åの厚さに成膜する。ゲイト絶縁膜506としては、他にも窒化珪素膜やSiO₂N_xで示される酸化窒化珪素膜等の絶縁膜を用いることができる。

【0100】次に、0.2wt%のスカンジウムを含有したアルミニウム膜を2500～4000Åの厚さに成膜する（図示せず）。スカンジウムは後の熱処理工程でヒロックやウィスカーといった刺状に突起物の発生を抑制する効果がある。

【0101】次に、このアルミニウム膜の表面に図示しない極薄い陽極酸化膜を形成する。この陽極酸化膜は、3%の酒石酸を含んだエチレングリコール溶液をアンモニア水で中和したものを電解溶液として行う。即ち、この電解溶液中において、アルミニウム膜を陽極、白金を

陰極として陽極酸化を行う。

【0102】この工程で形成される陽極酸化膜は緻密な膜質を有し、アルミニウム膜のパターニングを行う際に形成されるレジストマスクとの密着性を向上させるために機能する。なお、この図示しない陽極酸化膜の膜厚は100 Å程度とする。またこの膜厚は印加電圧によって制御することができる。

【0103】次に、レジストマスク507を利用して図示しないアルミニウム膜をパターニングし、ゲイト電極の基となるアルミニウム膜のパターン508～511を形成する。

【0104】なお、510で示されるパターンを上面から見ると図4(A)のゲイト電極400の様に、1つのゲイト電極の一部をくり抜いたような形状となっている。従って、断面図では3つのゲイト電極に分断されている様に見えるが、全て1つのゲイト電極の一部である。

【0105】また、511で示されるアルミニウムのパターンの断面図が図5(A)の様に分断されている様に見えるのは、一般的にマルチゲイト型TFETはジグザグに曲がりくねった活性層を1本のゲイト線(実質的にはゲイト電極)が横切る様な構成でなるからである。

【0106】なお、図5、図6で示すマルチゲイト型TFETの図面は、このTFETが等価的に複数のTFETを直列に接続した構成と見なせることを表現している。

【0107】なお、512は後にゲイト絶縁膜506を介して活性層505との間に補助容量を形成する容量線の基となるパターンである。

【0108】また、図示されないが上記アルミニウムのパターン以外にも、同一材料で陽極酸化用配線が形成される。この陽極酸化用配線容量は、電氣的に全てのゲイト電極、ゲイト線および容量線と電氣的に接続している。

【0109】以上の様に図示しないアルミニウム膜をパターニングしてパターン形成を行うのであるが、本発明ではこの時に陽極酸化用配線の一部をパターン形成と同時に分断することが重要である。

【0110】即ち、陽極酸化用配線の一部を分断して特定のアルミニウムのパターンのみを電氣的に切り離した状態とする。本実施例では、アルミニウムのパターン509、510、511を図示しない陽極酸化用配線から切り離す。

【0111】こうして図5(A)に示す状態を得る。図5(A)に示す状態では、陽極酸化用配線と接続しているのはアルミニウム膜のパターン508、509のみとなっている。

【0112】次に、再びアルミニウム膜のパターン508、509を陽極とした陽極酸化を行う。なお、ここでは陽極酸化の電解溶液として3%のシュウ酸水溶液を用いる。

【0113】この陽極酸化工程においては、レジストマスク507が存在するために陽極酸化がアルミニウムのパターン508、509の側面のみにおいて進行する。従って、図5(B)の513、514で示されるように陽極酸化膜が形成される。

【0114】また、この工程で形成される陽極酸化膜513、514は、多孔質状を有しており、その成長距離も数 μm まで行わせることができる。本実施例では上記の多孔質状の陽極酸化膜513、514の膜厚を7000Åとする。またこの陽極酸化膜513、514の膜厚は陽極酸化時間によって制御することができる。

【0115】この時、前述の分断工程によりアルミニウムのパターン509、510、511は陽極酸化用配線から切り離されているので陽極酸化は行われない。即ち、図5(B)に示す様に多孔質状の陽極酸化膜は形成されない。

【0116】次に、図5(B)に示す多孔質状の陽極酸化膜513、514を形成したら、レジストマスク507を取り除く。そして、再度の陽極酸化を行うことにより、緻密な陽極酸化膜515、516を形成する。この陽極酸化工程は、前述の緻密な陽極酸化膜を形成したのと同じ条件で行う。

【0117】ただし、形成する膜厚を500～2000Åとする。この工程においては、多孔質状の陽極酸化膜513、514の内部に電解溶液が進入するために図5(C)に示すように緻密で強固な陽極酸化膜515、516が形成される。

【0118】この陽極酸化膜の膜厚を1500Å以上というように厚くすると、後の不純物イオンの注入工程において、オフセットゲイト領域を形成することができる。

【0119】また、この緻密な陽極酸化膜515、516は、後の工程においてゲイト電極517、518の表面にヒロックが発生することを抑制するために機能する。

【0120】なお、陽極酸化用配線と切り離した他のアルミニウム膜にパターン510～512は、この工程においても当然陽極酸化膜を形成されない。従って、アルミニウムのパターン510、511が後にそのままゲイト電極となり、512が容量線となる。

【0121】次に、この状態においてソース/ドレイン領域を形成するための不純物イオンの注入を行う。まず始めにNチャネル型の薄膜トランジスタを作製するためにP(リン)イオンの注入を行う。

【0122】このイオン注入は $0.2 \sim 5 \times 10^{15}/\text{cm}^2$ 、好ましくは $1 \sim 2 \times 10^{15}/\text{cm}^2$ という高いドーズ量でイオン注入法(イオンドーピング法)により行う。この工程において、高濃度に不純物が添加された領域519～531が形成される。

【0123】この時、519、520は後にコンタクトパッドと呼ばれる領域であり、521、522はそれぞ

れCMOS構造を構成するNチャネル型TFTのドレイン領域、ソース領域である。

【0124】また、523、526はそれぞれ図2～図4を用いて説明したTFTのソース領域、ドレイン領域であり、524および525は浮島領域である。

【0125】また、527、531はそれぞれマルチゲイト型TFTのソース領域、ドレイン領域であり、528、529、530は活性層のチャネル同士を繋ぐ配線のような役目を果たす導電領域となる。

【0126】こうして図5(C)に示す様に高濃度不純物領域519～531が形成された状態が得られる。次に、酢酸とリン酸と硝酸とを混合した混酸を用いて、多孔質状の陽極酸化膜513、514を選択的に除去した後、Pチャネル型TFTを構成する素子上にレジストマスク532を設けて再度Pイオンのイオン注入を行なう。

【0127】このイオン注入は、先のソース/ドレイン領域を形成する際よりも低ドーズ量でもって行なわれる。本実施例では、 $0.1 \sim 5 \times 10^{14}/\text{cm}^2$ 、好ましくは $0.3 \sim 1 \times 10^{14}/\text{cm}^2$ という低いドーズ量でイオン注入法により行う。

【0128】すると、前記高濃度不純物領域519～531と比較して不純物濃度の低い、低濃度不純物領域533、534がCMOS構造を構成するNチャネル型TFTに形成される。さらに、自己整合的にチャネル領域535が形成される。なお、チャネル領域535とドレイン領域521との間に配置された低濃度不純物領域533が通常LDD領域と呼ばれる領域である。(図5(D))

【0129】次に、図6(A)に示す様に、Nチャネル型TFTを構成する素子(本実施例では、CMOS構造を構成する片方のTFTのみをP型とする)上にレジストマスク536を設け、P型導電性を付与する不純物イオンの注入を行う。この際、図5(C)の高濃度不純物領域519、520をN型からP型へ反転させる必要があるため、1度目のPイオン注入よりも高いドーズ量でイオン注入を行う。

【0130】本実施例では、このP型導電性を付与する不純物イオンとしてB(ボロン)イオンの注入を $0.1 \sim 2.5 \times 10^{14}/\text{cm}^2$ 、好ましくは $0.5 \sim 1 \times 10^{14}/\text{cm}^2$ という高いドーズ量でイオン注入法により行う。

【0131】上記不純物イオン(Bイオン)の注入工程により、Pチャネル型TFTを構成する活性層にはP型を示す領域537、538と、これより強いP型を示す領域539、540およびチャネル領域541が形成される。

【0132】なお、本発明者らは領域537、538を実質的に後に形成するソース/ドレイン電極との電氣的接触をとるためのパッド(コンタクトパッドと呼ぶ)として定義している。また、領域539をソース領域、5

40をドレイン領域として定義する。

【0133】このようにソース領域539およびドレイン領域540は実質的に真性であった領域にBイオンのみを注入して形成されている。そのため、他のイオンが混在しないので不純物濃度の制御が用意なものとなり、整合性の良いPI接合を実現できる。しかもイオン注入による結晶性の乱れも比較的小さなもので済む。

【0134】従って、本実施例の構造ではPチャネル型TFTに対してはLDD領域は配置されない。ただし、Pチャネル型TFTはそれ自体で耐劣化性に優れるため、LDD領域を配置しなくても問題とはならない。

【0135】また、例えば図5(C)のイオン注入の段階でPチャネルTFT側の素子をレジストマスクで隠して図5(C)および図5(D)で説明した工程に従ってNチャネル型TFTを完成し、その後で今度はNチャネル型TFT側の素子をレジストマスクで隠して同様の工程でPチャネル型TFTを形成することもできる。

【0136】すると、多少工程数が増えるがNチャネル型TFTとPチャネル型TFTの両方にLDD領域を形成することができる。

【0137】次に、542の領域は図2～図4を用いて説明したTFTのベース領域であり、実質的にはチャネル領域として機能する。このベース領域542は浮島領域524、525によって分断されている様に見えるが、ゲイト電極510下に自己整合的に形成されるため図2(A)のベース領域206のように全て繋がっている。

【0138】また、543～545で示される領域はマルチゲイト型TFTのチャネル領域であり、ゲイト電極511によって自己整合的に形成される。

【0139】なお、546で示される領域は実質的に真性な領域であるが、実際にTFTを駆動する際には容量線512に対して常に固定電圧が印加されるので常時オン状態、即ちチャネルを形成した導電性を有する状態となる。

【0140】さらに、上記の不純物イオンの注入工程の後、レーザー光または赤外光または紫外光の照射を行うことによって、イオンの注入が行われた領域のアニールを行う。このアニールによって注入された不純物イオンの活性化と同時に活性層受けた損傷の回復を行うことができる。

【0141】以上の様にして図6(A)に示す状態が得られたら、第1の層間絶縁膜547を3000Åの厚さに成膜する。第1の層間絶縁膜547としては、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜等を用いることができる。

【0142】次に、第1の層間絶縁膜547にコンタクトホールを形成して、ソース電極548～551およびドレイン電極552～554を形成する。なお、552で示される様に、CMOS構造を構成するNチャネル型

TFTおよびPチャネル型TFTのドレイン電極は接続した構造とする。

【0143】次に、第2の層間絶縁膜555を0.3～5μmの厚さに成膜する。第2の層間絶縁膜555としては酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、有機性樹脂材料等を用いることができる。(図6(B))

【0144】特に、ポリイミドなどに代表される有機性樹脂材料を用いると、容易に膜厚を稼ぐことができる上、比誘電率が低いため第2の層間絶縁膜555を介した寄生容量の形成を問題のないレベルとすることができる。

【0145】また、有機性樹脂材料は膜厚を容易に稼ぐことができるため、平坦化膜としての効果が大きいばかりでなく、製造工程のスループットが向上するといった利点を持っている。

【0146】次に、第2の層間絶縁膜555にコンタクトホールを形成し、その上に透明導電膜でなる画素電極556を形成する。本実施例では、画素電極556として1000Å厚のITO(Indium Tin Oxide)膜を用いる。

【0147】なお、この画素電極556はマルチゲイト型TFTのドレイン電極554と電気的に接続する様に形成する。画素電極(ITO膜)556とドレイン領域(珪素膜)531との接触抵抗は非線形であるので、直接接触するとコンタクト不良を起こしやすくなる。

【0148】従って、本実施例の様にドレイン電極554を介してドレイン領域531と電気的に接続する構造とすると、コンタクト不良のない良好なオーミックコンタクトが得られる。

【0149】また、コンタクトホールを形成する際に第2の層間絶縁膜555のみをエッチング除去すれば良いのも利点である。すると、直接ドレイン領域531と接続するよりも製造工程を容易なものとし、形状を崩さずにコンタクトホールを形成できる。

【0150】以上の様にして、図6(C)に示す様なNチャネル型TFTとPチャネル型TFTとを相補的に組み合わせたCMOS構造と、バッファ回路を構成する図2～図4を用いて説明したTFTと、複数のゲイト電極を有するマルチゲイト型TFT(本実施例では、画素TFT)とを同一基板上に形成することができる。

【0151】図6(C)に示した様なCMOS構造は、主にシフトレジスタ回路、レベルシフト回路、サンプリング回路、メモリ回路、CPU回路およびデジタル/アナログ変換回路等の低電圧駆動回路に専ら使用する。

【0152】また、図2～図4を用いて説明したTFTはバッファ回路等の様に高い耐圧性能を要求する高電圧駆動回路に専ら使用する。なお、図6(C)ではNチャネル型TFTのみを記載しているが、実際に回路を構成する際は、Pチャネル型TFTを同時に形成して、CMOS構造を構成することも可能であることは言うまでもない。

【0153】また、LDD領域を配置しないマルチゲイト型TFTはアクティブマトリクス回路を構成する画素TFTとして専ら使用する。LDD領域を配置しない事は縞模様に見える表示欠陥を防ぐための対策となり、マルチゲイト型TFTの採用は耐圧を高めるための対策となる。

【0154】〔実施例2〕本実施例では、LDD領域を選択的に形成する手段について実施例1とは異なる手段を用いる場合の例を示す。具体的には、多孔質の陽極酸化膜を一旦全てのアルミニウム膜側面に形成し、後に選択的に除去する場合の例である。

【0155】基本的な説明は実施例1と同様であるので、ここでは変更点のみを図7を用いて説明する。

【0156】まず、実施例1の工程に従って図5(A)と同じ状態を得る。この際、全てのアルミニウムのパターンは、後に多孔質の陽極酸化膜の膜厚分だけ内側に細くなることを考慮して、ゲイト電極の設計寸法よりも若干太めにパターン形成しておくことが望ましい。

【0157】次に、実施例1の2度目の陽極酸化化と同じ条件で陽極酸化を行い、全てのアルミニウムのパターンの側面に多孔質の陽極酸化膜701～705を形成する。(図7(A))

【0158】次に、アルミニウムのパターン上に配置されていたレジストマスク507を除去し、再度、緻密な陽極酸化膜の形成を行う。本実施例では、実施例1と異なり陽極酸化用配線の分断を行っていないので、全てのアルミニウムのパターンに緻密な陽極酸化膜706～710が形成される。(図7(B))

【0159】次に、CMOS構造を構成するNチャネル型TFTおよびPチャネル型TFTを覆って再びレジストマスク711を形成する。(図7(C))

【0160】この状態で酢酸、リン酸、硝酸を混合した混酸を用いて多孔質の陽極酸化膜708～710の除去を行う。

【0161】以上の過程を経て図7(D)に示す様な構造が得られる。この構造は基本的に図5(C)に示す構造と同一のものとなる(緻密な陽極酸化膜708～710が形成されている点のみ異なる)。

【0162】従って、以降の工程は実施例1に従えば基本的には図6(C)に示す様な状態が得られる。ただし、本実施例では、全てのゲイト電極、ゲイト配線および容量線に緻密な陽極酸化膜706～710が形成される点が実施例1とは異なる。

【0163】即ち、本実施例によればゲイト電極やゲイト配線等に発生するヒロックやウィスカを効果的に抑制することが可能であり、これら突起物に起因する配線間ショート(短絡)などを防止することができる。

【0164】〔実施例3〕実施例1では、アクティブマトリクス回路、即ち画素TFTの全てをNチャネル型TFTで構成する例を示したが、画素TFTをPチャネル

型TFTで構成しても良い。

【0165】画素TFTをPチャネル型TFTとするには、図6(A)に示す工程において画素TFTとなる領域にはレジストマスク536を配置しない構成とし、Bイオンの注入を行えば良い。

【0166】画素TFTをPチャネル型TFTとすると、画素TFTの耐劣化性が向上するため、信頼性の高い画像表示領域を構成することができる。

【0167】【実施例4】実施例1では、バッファ回路を構成する図2～図4を用いて説明したTFTをNチャネル型TFTで構成する例を示したが、Pチャネル型TFTで構成しても良い。また、Nチャネル型とPチャネル型の両方を形成してCMOS構造を構成することも可能である。

【0168】バッファ回路をPチャネル型TFTで構成するには、図6(A)に示す工程においてバッファ回路を構成するTFTとなる領域にはレジストマスク536を配置しない構成とし、Bイオンの注入を行えば良い。

【0169】バッファ回路をPチャネル型TFTで構成すると、従来の高い耐圧性に加えてさらに耐劣化性も向上するため、信頼性の高い画像表示領域を構成することが可能である。

【0170】【実施例5】本発明においてアクティブマトリクス回路を構成する画素TFTに対してLDD領域を設けない理由として、LDD領域に起因するオン電流のバラツキが、縞模様に見える表示欠陥の原因となっていることは既に述べた。

【0171】しかし、本発明により画素TFTにLDD領域を配置しない構成としても、例えばソース領域やドレイン領域の導電性がバラツキを持ってしまうと、その影響を受けてオン電流にもバラツキが発生してしまう。

【0172】従って、ソース領域およびドレイン領域を形成するN型もしくはP型の導電層のシート抵抗は、そのバラツキの影響が階調表示に悪影響を及ぼさない程度にまで十分小さくなくてはならない。

【0173】本発明者らの解析結果によれば、ソース領域およびドレイン領域のシート抵抗が $1 \times 10^3 \Omega/\square$ 以下、好ましくは $0.5 \times 10^3 \Omega/\square$ 以下であれば、上記問題を生じない表示装置を構成することが可能である。

【0174】なお、実施例1に示した条件による不純物イオン注入を行った場合、N型とP型のどちらのソース領域およびドレイン領域のシート抵抗も、 $300 \sim 500 \Omega/\square$ の範囲に納まるものであった。

【0175】【実施例6】実施例1または実施例2において、図6(C)に示される様に図2～図4を用いて説明したTFTは低濃度不純物領域を配置しない構成であったが、低濃度不純物領域を配置した構成とすることも可能である。

【0176】実施例1に記載した方法に従って選択的に低濃度不純物領域を設ける場合、多孔質の陽極酸化膜を

形成しないアルミニウムのパターンを陽極酸化用配線と切り離す際に、図2～図4を用いて説明したTFTのゲイト電極となるアルミニウムのパターンを切り離さなければ良い。

【0177】こうすることで、2度目の陽極酸化の際に多孔質の陽極酸化膜が形成されるので、実施例1と同様のイオン注入工程を行えば低濃度不純物領域を配置することが可能である。

【0178】また、実施例2に記載した方法に従って選択的に低濃度不純物領域を設ける場合、図7(C)の工程において、図2～図4を用いて説明したTFTをレジストマスク712で覆ってしまうと良い。

【0179】こうすることで、多孔質の陽極酸化膜703を残すことができるので実施例1と同様のイオン注入工程を行えば低濃度不純物領域を配置することが可能である。

【0180】以上の様にして、図2～図4を用いて説明したTFTに低濃度不純物領域を配置した場合の活性層の構成を図8に示す。

【0181】図8において、活性層801にはソース領域802、浮島領域803～805、ドレイン領域806が同じ濃度の不純物イオンを注入して形成されている。また、図示しないゲイト電極で遮蔽されて不純物イオンの注入されなかった領域はベース領域807を形成する。

【0182】そして、上記2通りの方法により低濃度に不純物イオンを注入することにより浮島領域803～805の周辺にはそれぞれ低濃度不純物領域808～812が形成される。

【0183】この図2～図4を用いて説明したTFTはオフ動作時において、浮島領域803～805とベース領域（この時、浮島領域とは逆の導電型を示している）との間にはPN接合が形成される。半導体膜が多結晶状態や微結晶状態にある時は、この接合部分で強電界による劣化や接合状態の変化は生じやすい。

【0184】この様な時、図8に示す低濃度不純物領域808～812は、上記PN接合部分に形成される強電界を緩和することができる点で有意である。

【0185】また、低濃度不純物領域812はオン動作時において導電領域813とドレイン806との間に形成される強電界を緩和するLDD領域となる。なお、ここで導電領域812とは、浮島領域803～805と反転したベース領域807とで構成される領域を意味する。

【0186】また、上記方法以外に別の手段によりLDD領域を形成することもできる。例えば、活性層を構成する島状の半導体層を形成した後、必要箇所以外をレジストマスク等で隠して、所望の位置に選択的に不純物イオンを注入する。ただし、不純物イオンのドーズ量は、後に形成するソース/ドレイン領域よりも低濃度とす

る。

【0187】以上の様に、本実施例に従い図8に示す様な活性層を有する薄膜トランジスタを形成し、それを用いてバッファ回路を構成すると高い信頼性を有する回路を構成することができる。

【0188】〔実施例7〕実施例1において、非晶質珪素膜を結晶化する際に結晶化を助長する触媒として利用する金属元素は、結晶化後の珪素膜中に残留することで何らかの悪影響を与える可能性があり好ましいものではない。

【0189】本発明者らの研究によれば、金属元素が偏析した場合にそこが電流の流れる経路となってオフ電流が増加する可能性が示唆されている。

【0190】特に、低オフ電流を要求する画素TFTにとってはオフ電流の増加は致命的な問題であり、画素電極の電荷保持時間、延いては液晶表示装置の画像表示能力に影響を与える。

【0191】そこで、本実施例では非晶質珪素膜に結晶化を助長する金属元素を導入する結晶化方法を採用するにあたって、アクティブマトリクス回路には金属元素を20 導入せず、周辺駆動回路には金属元素を導入する場合の例を示す。

【0192】結晶化を助長する金属元素を用いた結晶性珪素膜の形成方法についての詳細は本発明者らによる特開平6-232509号公報、特開平7-321339号公報に記載されているので、ここでは説明を省略することとする。当該公報によれば、金属元素としてはNi（ニッケル）元素を用いるのが好ましい。

【0193】本実施例では、実施例1と同様の工程に従って非晶質珪素膜まで成膜したら、酸化珪素膜を500 ~ 30 1000Åの厚さに堆積する。この酸化珪素膜は金属元素（本実施例ではニッケルを例にとる）を選択的に導入するためのマスク材として機能するものである。

【0194】酸化珪素膜を堆積したら、周辺駆動回路を構成する領域のみに選択的に窓を設け、その上にニッケル元素の導入を行う。ニッケル元素の導入はニッケル塩溶液をスピコートして、ニッケル元素を含んだ水膜を非晶質珪素膜表面に形成することにより行われる。

【0195】この状態で600℃4hr程度の加熱処理を施すと、窓を開けた領域にのみニッケル元素が導入されて40 いるので、その領域のみで結晶化が進行する。即ち、周辺駆動回路となる領域は結晶性珪素膜となり、アクティブマトリクス回路となる領域は非晶質珪素膜のままとなる。

【0196】その後、酸化珪素膜でなるマスク材を除去して、基板全体に対してエキシマレーザーによるレーザーアニール処理を施すことにより、結晶性珪素膜の結晶化向上および非晶質珪素膜の結晶化を同時に行う。

【0197】以上の過程を経ると、周辺駆動回路はニッケル元素を含有した結晶性珪素膜で構成され、アクティ50

ブマトリクス回路はニッケル元素を含有しない結晶性珪素膜で構成することができる。

【0198】本実施例に示す構成とすると、アクティブマトリクス回路を構成する画素TFTの活性層にはニッケルのような金属元素が含まれない。従って、低オフ電流特性を有する画素TFTを形成できるので、高い画像表示能力を有する表示装置を作製することが可能となる。

【0199】〔実施例8〕本実施例ではゲート電極として導電性を付与した結晶性珪素膜を用いるシリコンゲイト型TFTを用いる場合の例を示す。シリコンゲイト型TFTでは、LDD領域の形成方法が実施例1や実施例2とは異なるので、そこに注目して説明することとする。説明は図9を用いて行う。

【0200】まず、図9においてガラス基板901上には酸化珪素膜でなるバッファ層902が2000Åの厚さに成膜され、その上に周辺駆動回路を構成するTFTの活性層903と、アクティブマトリクス回路を構成するTFTの活性層904とを形成する。（図9（A））

【0201】活性層を構成する手段については実施例1で既に説明したので、ここでの説明は省略する。

【0202】次に、活性層903、904を覆って酸化珪素膜でなるゲート絶縁膜905を1200Åの厚さに成膜する。

【0203】そして、ゲート絶縁膜905上に図示しない導電性を付与した結晶性珪素膜を成膜し、パターンニングしてゲート電極906、907を形成する。図示しない導電性を付与した結晶性珪素膜は、真性の結晶性珪素膜を成膜した後に一導電性を付与する不純物イオンを注入して形成する方法をとっても良い。

【0204】こうして、ゲート電極906、907が得られたら、不純物イオンの注入を行い、ソース領域908、911およびドレイン領域910、913を形成する。例えば、Nチャネル型TFTを作製する場合、不純物イオンとしてPイオンを用いれば良い。

【0205】また、ゲート電極906、907の直下は不純物イオンが注入されず、実質的に真性な領域909、912が自己整合的に形成される。なお、領域909の一部および領域912は後にチャネル形成領域となる。

【0206】こうして、図6（B）の状態が得られる。図6（B）の状態が得られたら、ゲート電極906、907の形成に利用した図示しないレジストマスクを除去し、再びレジストマスク914、915を形成する。本実施例の特徴は、レジストマスク914はゲート電極906のみを覆う様に形成し、レジストマスク915はアクティブマトリクス回路側の素子全体を覆う様に形成する点にある。

【0207】このような状態で、フッ素系ガスを用いたドライエッチング法によりゲート電極906の等方的な

エッチングを行う。この時、ゲイト電極906の上面にはレジストマスク914が存在するので図6(C)の矢印が示す様な方向にエッチングが進行する。

【0208】次に、ゲイト電極906のエッチングが終了したら、レジストマスク914、915を除去して再度不純物イオンの注入を行う。この不純物イオンの注入工程は前の不純物イオン注入工程と同じ不純物イオンを、前回よりも低いドーズ量で行う。(図6(D))

【0209】こうして、916、917で示される領域にはソース領域908やドレイン領域910と比較して低濃度に不純物イオンの注入された低濃度不純物領域が形成される。なお、低濃度不純物領域916、917で挟まれた領域918はチャンネル形成領域となる。

【0210】この時、チャンネル形成領域918とドレイン領域910との間に配置される低濃度不純物領域917はLDD領域と一般的に呼ばれている。LDD領域917はチャンネル/ドレイン接合部にかかる強電界を緩和する効果を有する。

【0211】また、2度目の不純物イオン注入工程を行わなければ、領域916、917は実質的に真性のまま残り、ゲイト電極906により電圧を印加されないオフセットゲイト領域とすることができる。

【0212】領域916、917をオフセットゲイト領域とした場合においても、領域916、917は単なる抵抗成分として機能し、チャンネル/ドレイン接合部にかかる強電界を緩和する効果を有する。

【0213】以上のようにして図6(D)に示す状態が得られる。これ以降の工程は実施例1と同様であるので説明は行わない。本実施例によれば、シリコンゲイト型TFTを作製する場合において選択的にLDD領域を配置することが可能となり、本発明を実施することができる。

【0214】〔実施例9〕実施例1および実施例2では、薄膜トランジスタとしてプレーナ型TFTを形成する例を示したが、他のタイプのTFT、例えば逆スタガ型TFTを用いて本発明を実施することも可能である。

【0215】例えば、図6(C)に示す様なCMOS構造を構成するTFTを形成する場合でも、図2~図4を用いて説明したTFTを形成する場合でも基本的には同一手段により逆スタガ型TFTを構成することが可能である。

【0216】そこで、本実施例では一般的な構造を有する逆スタガ型TFTの作製工程例について、アクティブマトリクス回路と周辺駆動回路とに区別して説明する。説明は図10を用いて行う。なお、逆スタガ型TFTの作製工程についての詳細は特開平5-275452号公報に記載されているので参照すると良い。

【0217】まず、図10(A)において11は絶縁表面を有する基板(例えば、バッファ層を設けたガラス基板や石英基板)である。その上には導電性材料でなるゲ

イト電極12、13が形成される。

【0218】このゲイト電極12、13は後の珪素膜の結晶化を考慮して耐熱性に優れた材料であることが望ましい。また、ゲイト電極12は周辺駆動回路を構成するTFTに使用され、13はアクティブマトリクス回路を構成するTFTに使用されるものとする。

【0219】また、耐圧を高めるために公知の技術である陽極酸化法によりゲイト電極12、13の表面および側面に陽極酸化膜を形成してもよい。

【0220】次に、ゲイト絶縁膜として機能する酸化珪素膜14をプラズマCVD法により形成し、その上に図示しない非晶質珪素膜をプラズマCVD法や減圧熱CVD法により形成する。この図示しない非晶質珪素膜は実施例1で示した手段により結晶化され、活性層を構成する結晶性珪素膜15となる。(図10(A))

【0221】また、非晶質珪素膜を結晶化するのではなく、直接結晶性珪素膜を成膜することも可能である。結晶性珪素膜の成膜は減圧熱CVD法を用いれば良い。

【0222】次に、結晶性珪素膜15が得られたらパターニングを行い、周辺駆動回路を構成するTFTに用いる活性層16と、アクティブマトリクス回路を構成するTFTに用いる活性層17を形成する。

【0223】活性層の形成方法は上記手段に限ったものではなく、例えばチャンネル形成領域上(ゲイト電極上)にレジストマスクを配置して、その上から不純物イオンの注入を行い、レジストの除去、パターニングを施した後レーザアニールを行って結晶化とソース領域およびドレイン領域の形成とを同時に行っても良い。

【0224】また、前記手段において、不純物イオンの注入の代わりにレジストマスクを配置した状態で導電性を付与した非晶質珪素膜を堆積し、それを不純物イオンの供給源としてソース領域およびドレイン領域の形成を行う方法もとれる。

【0225】次に、活性層16、17に対してUV光の照射を行い、図示しない薄い酸化膜を活性層16、17の表面に形成する。この図示しない酸化膜は、後に形成するレジストマスクと活性層16、17とが直接触れない様にするための保護膜として機能する。

【0226】次に、図示しないレジストマスクを成膜して、それを裏面露光法によりパターニングしてチャンネル形成領域上にのみにレジストマスク18、19を残す。こうして形成されたレジストマスク18、19は後のイオン注入工程においてマスク材として機能することになる。(図10(B))

【0227】次に、一導電性を付与する不純物を露出した活性層16、17に対して注入する。この工程は公知のイオン注入法によればよい。

【0228】こうして、活性層16、17にはソース領域20、22およびドレイン領域21、23が形成される。(図10(C))

【0229】次に、一旦レジストマスク18、19を除去して、再度レジストマスク24、25を形成する。この際、レジストマスク24は先に形成したレジストマスク18よりも細く形成しておくことが重要である。この細くした分が後に形成されるLDD領域の領域幅となる。

【0230】また、レジストマスク25はアクティブマトリクス回路を構成する側のTFTの全面を覆うようにして形成する。即ち、LDD領域が形成されないようにマスクを形成する。

【0231】そして、前回よりも低いドーズ量でもって、同じ導電性を付与する不純物イオンの注入を行い、低濃度不純物領域26、27を形成する。また、この時レジストマスク24によって不純物イオンの注入が行われなかった領域はチャネル形成領域28となる。

【0232】なお、チャネル形成領域28とドレイン領域21との間に配置された低濃度不純物領域を一般的にはLDD領域と呼んでいる。

【0233】こうして、図10(D)に示す状態が得られる。この状態において、周辺駆動回路（主としてシフトレジスタ回路やサンプリング回路）を構成するTFTにはソース領域20、チャネル形成領域28、ドレイン領域21、濃度不純物領域26、27が配置された構成となっている。

【0234】また、図中右側のアクティブマトリクス回路を構成するTFTにはソース領域22、チャネル形成領域29、ドレイン領域23が配置された構成となっている。

【0235】次に、レジストマスク24、25を除去した後、レーザーアニール等により不純物イオンの活性化を行う。このレーザーアニールによりイオン注入時に活性層が受けた損傷も回復する。

【0236】次に、層間絶縁膜30として酸化珪素膜を成膜し、コンタクトホールを形成する。そして、導電性材料でなるソース電極31、33およびドレイン電極32、34を形成して、図10(E)に示すような逆スタガ型TFTが完成する。

【0237】以上の様に、逆スタガ型TFTを用いても本発明は十分実施することができる。逆スタガ型TFTは活性層の下方にゲート電極12、13が配置されているため、不純物イオンの活性化等にレーザーアニールを用いる場合、ゲート電極12、13に遮蔽されることなく活性層全域に渡って均一な処理を行うことができるという利点を持つ。

【0238】また、その構造上に理由から基体11からの汚染等に強く、信頼性の高いトランジスタを構成できる利点がある。

【0239】〔実施例10〕実施例1に示した工程でCMOS構造を作製すると、Nチャネル型TFTもしくはPチャネル型TFTのどちらかにはLDD領域が形成さ

れない。

【0240】そこで、本実施例ではNチャネル型TFTおよびPチャネル型TFTのどちらに対してもLDD領域を配置する作製工程例について図11を用いて説明する。なお、説明はCMOS構造の部分のみについて行う。

【0241】まず、図5(C)に示す状態におけるCMOS構造を構成する領域を図11(A)に示す。なお、各符号は図5、図6で用いてもものを引用する。

10 【0242】次に、ゲート電極517、518および多孔質の陽極酸化膜513、514をマスクとしてゲート絶縁膜506のドライエッチングを行い、島状のゲート絶縁膜41、42を形成する。

【0243】次に、多孔質の陽極酸化膜513、514を混酸を用いて除去し、図11(B)に示す状態を得る。

20 【0244】この状態で、まずPイオンの注入を行う。このイオン注入により高濃度にPイオンが注入された高濃度不純物領域43～46が形成される。また、ゲート絶縁膜41、42を通してPイオンを注入された領域は、領域43～46より低濃度にPイオンの注入された低濃度不純物領域47～50が形成される。なお、領域51、52はPイオンが注入されず、実質的に真性な領域となる。

【0245】こうして、図11(C)に示す状態が得られる。この状態で、Nチャネル型TFT側にはソース領域45、チャネル形成領域52、ドレイン領域46、低濃度不純物領域49、52が形成されている。

30 【0246】この場合、チャネル形成領域52とドレイン領域46との間に形成された低濃度不純物領域50がLDD領域と呼ばれる。

【0247】次に、Nチャネル型TFT側にレジストマスク53を設け、P型導電性を付与するBイオンの注入を行う。このイオン注入は、Pイオンの注入よりも高いドーズ量でもって行う。

40 【0248】その結果、領域43、44、47、48、51の導電性はN型からP型へと反転し、Pチャネル型TFTのソース領域54、チャネル形成領域55、ドレイン領域56、低濃度不純物領域57、58が形成される。

【0249】この場合、チャネル形成領域55とドレイン領域56との間に形成された低濃度不純物領域58がLDD領域となる。

【0250】以降の工程は実施例1に従えば良く、レジストマスク53を除去した後に、第1の層間絶縁膜547、ソース電極548、549、ドレイン電極552を形成すれば図11(E)に示すCMOS構造を構成することができる。

50 【0251】なお、本実施例においてPイオン注入工程とBイオン注入工程の順序を入れ替えても問題はない。

【0252】本実施例に示すCMOS構造を構成すると、Pチャネル型TFTにもLDD領域を配置することが可能となるため、CMOS構造で構成する回路の信頼性を向上させることができる。

【0253】〔装置の説明1〕図12に示すのは、スポット状のレーザー光を照射することにより、アニールを行う装置である。

【0254】図には、矩形状のレーザービーム70をミラー71で反射し、非晶質珪素膜74に照射する状態が模式的に示されている。

【0255】図には、レーザービームを77で示されるような軌跡でもって照射し、非晶質珪素膜74を結晶性珪素膜75に変成する状態が示されている。

【0256】珪素膜はガラス基板73上に形成されており、ステージ72を76で示すように2次元X-Y方向に移動させることによって、77で示されるような軌跡でレーザー光が照射される。

【0257】図12に示すような構成は、大面積への照射には不利であるが、光学系が簡単であり、保守や調整が容易があるという特徴がある。

【0258】〔装置の説明2〕以下に線状のレーザー光の照射を行う装置の概要を示す。図13に示すのは、光学系によって線状に加工されたレーザー光1200を非晶質珪素膜1204に照射して、結晶性珪素膜1205に変成する状態を示す模式図面である。

【0259】図13において、非晶質珪素膜1204はガラス基板1203上に成膜されており、基板1203を載せたステージ1202が矢印1206の方向に移動することにより、ミラー1201で反射されたレーザー光が走査されて照射される構成を有している。

【0260】このような構成は、大面積に対してのレーザー光の照射を行うことができるという利点がある。しかし、光学系が複雑になり、またその調整が手間がかかるという欠点がある。

【0261】このような装置に利用されるレーザー光としては、KrFエキシマレーザー（波長248nm）やXeClエキシマレーザー（波長308nm）を利用することができる。

【0262】アニールの形態としては、非晶質珪素膜を結晶性珪素膜に変成する工程、結晶性珪素膜の結晶性をさらに助長する工程、不純物イオンの注入後の活性化工程、等々がある。

【0263】

〔発明の効果〕本発明によれば、シフトレジスタ回路、サンプリング回路、メモリ回路等の低電圧駆動の回路を

LDD領域を有した回路TFTで構成し、高耐圧性能を要求するバッファ回路は図2～図4を用いて説明したTFTで構成し、アクティブマトリクス回路はLDD領域を配置しない画素TFTで構成することができる。

【0264】即ち、バッファ回路を図2～図4を用いて説明したTFTで構成することにより、高速動作が可能で、かつ高耐圧性を有する信頼性の高い回路を構成することが可能となる。

【0265】また、アクティブマトリクス回路をLDD領域を配置しない画素TFTで構成することにより、LDD領域に起因すると思われるオン電流のバラツキを低減することができる。従って、縞模様の様な表示欠陥を発生しない液晶表示装置を構成することが可能である。

【0266】以上の様に、本発明を利用することで高精密で、かつ高い信頼性を有した高性能な液晶表示装置を実現することができる。従って、本発明は工業上、非常に有益なものである。

〔図面の簡単な説明〕

【図1】 アクティブマトリクス基板の回路構成の概略を示す図。

【図2】 活性層の構成を示す図。

【図3】 活性層のエネルギー状態を示す図。

【図4】 活性層の動作原理の概略を示す図。

【図5】 薄膜トランジスタの作製工程を示す図。

【図6】 薄膜トランジスタの作製工程を示す図。

【図7】 薄膜トランジスタの作製工程を示す図。

【図8】 活性層の構成を示す図。

【図9】 薄膜トランジスタの作製工程を示す図。

【図10】 薄膜トランジスタの作製工程を示す図。

【図11】 薄膜トランジスタの作製工程を示す図。

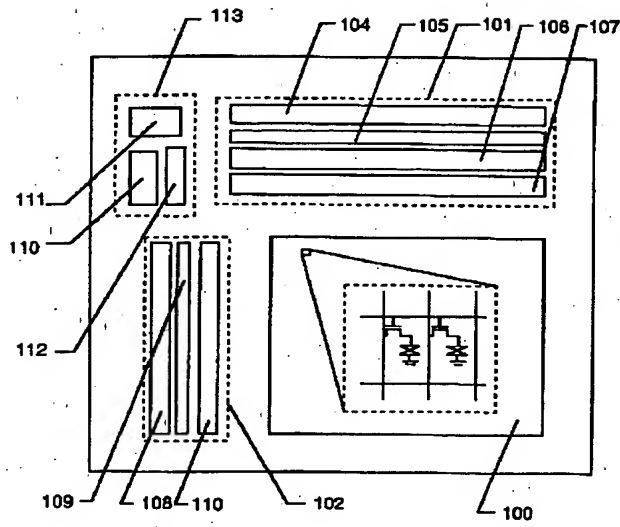
【図12】 レーザー光の照射を状態を示す図。

【図13】 レーザー光の照射を状態を示す図。

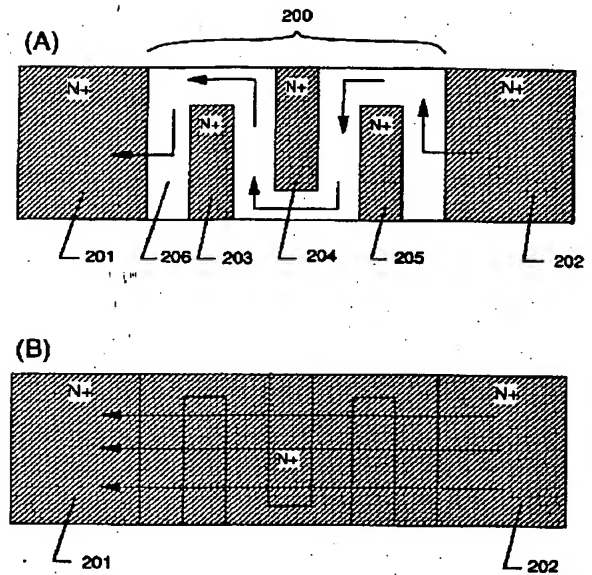
〔符号の説明〕

100	アクティブマトリクス回路
101	垂直走査駆動回路領域
102	水平走査駆動回路領域
103、107	シフトレジスタ回路
104、108	レベルシフト回路
105、109	バッファ回路
106	サンプリング回路
110	メモリ回路
111	CPU回路
112	デジタル／アナログ変換回路
113	コントロール回路領域

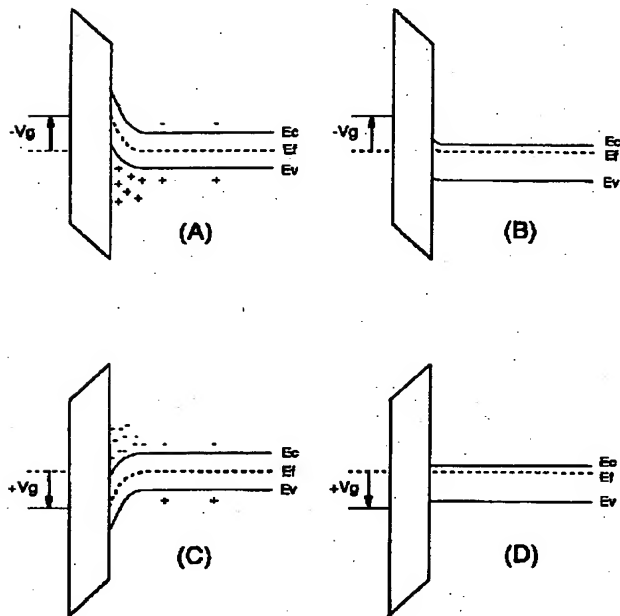
【図 1】



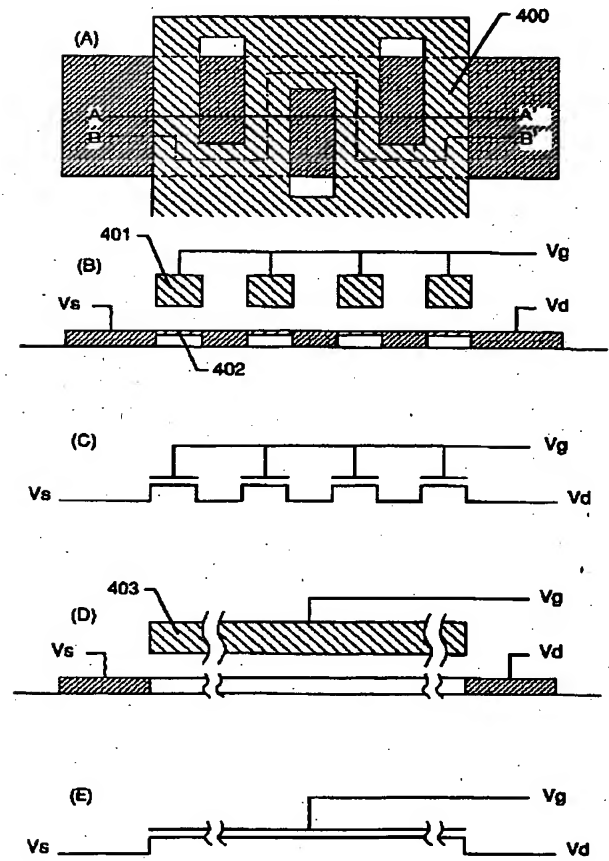
【図 2】



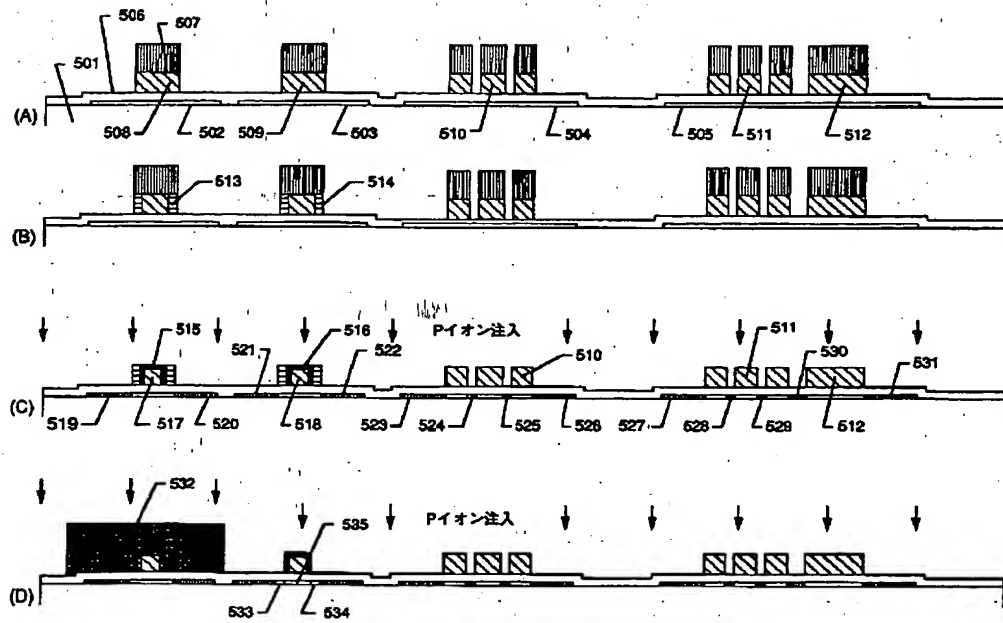
【図 3】



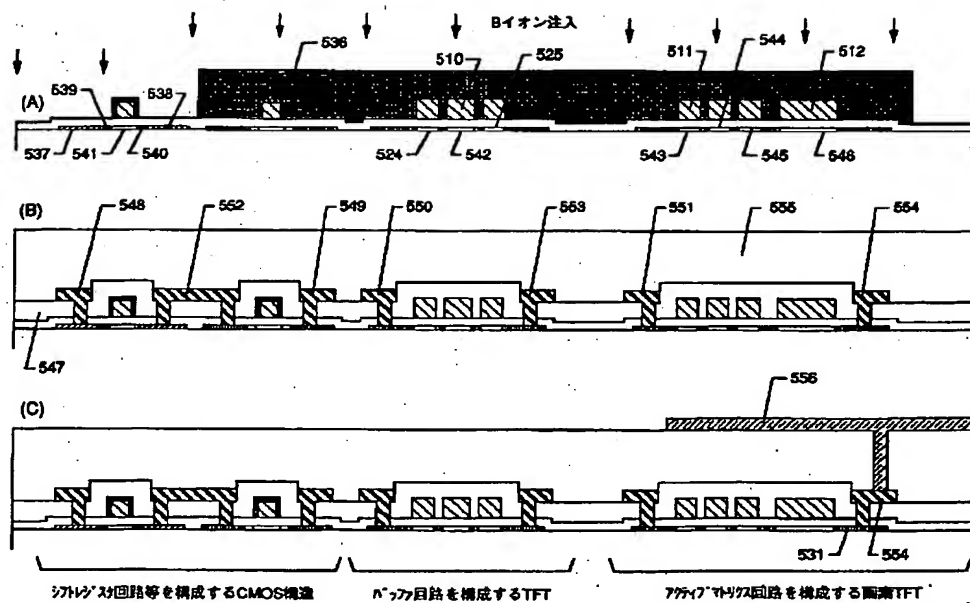
【図 4】



【図 5】



【図 6】

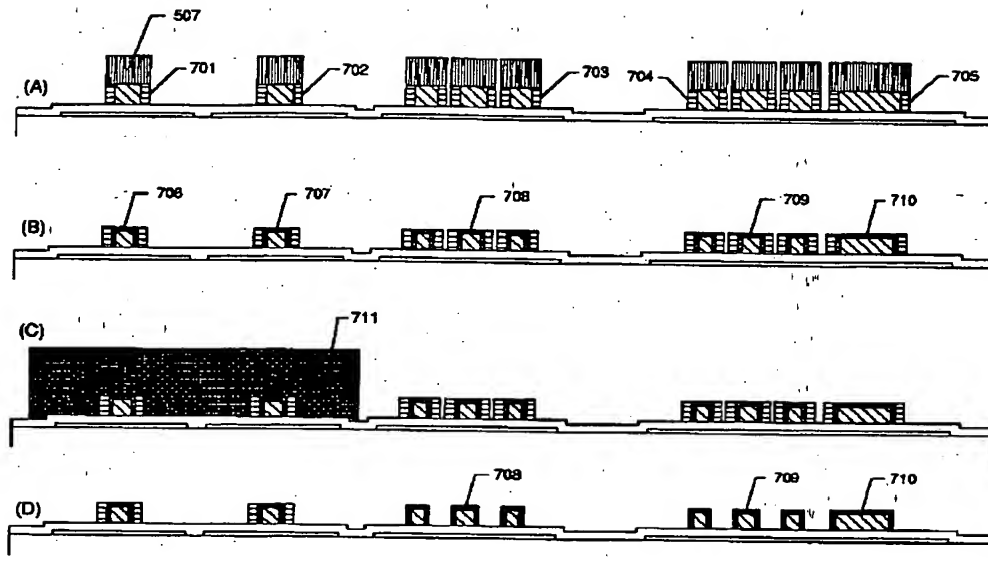


シフトレジスタ回路等々を構成するCMOS構造

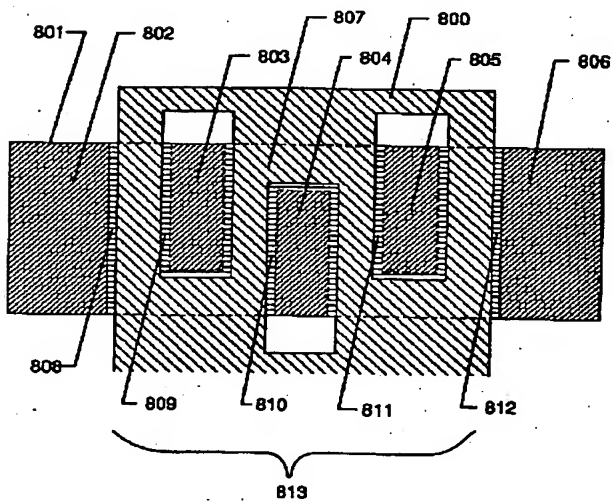
バックゲート回路を構成するTFT

アモルファスシリコン回路を構成するTFT

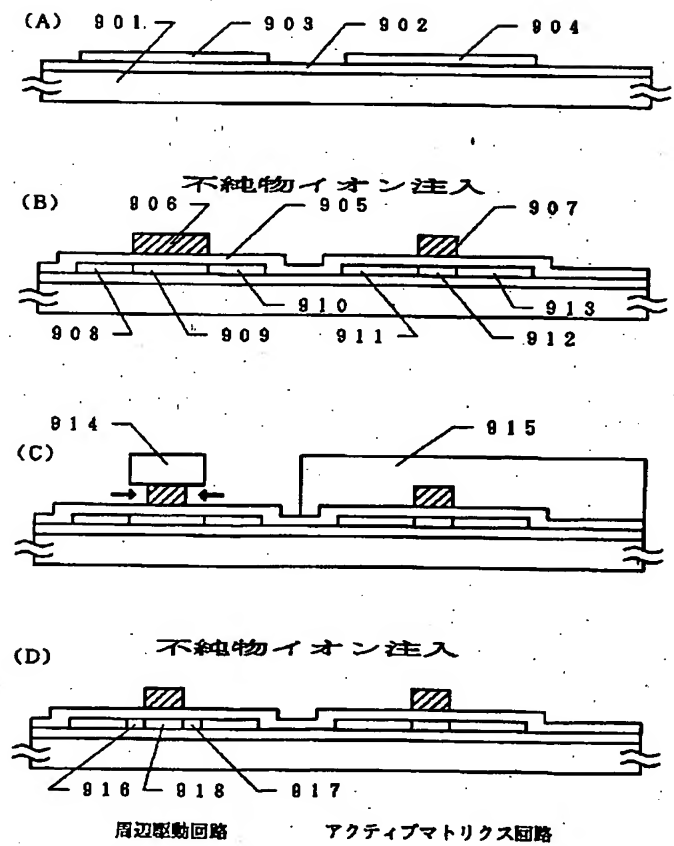
【図 7】



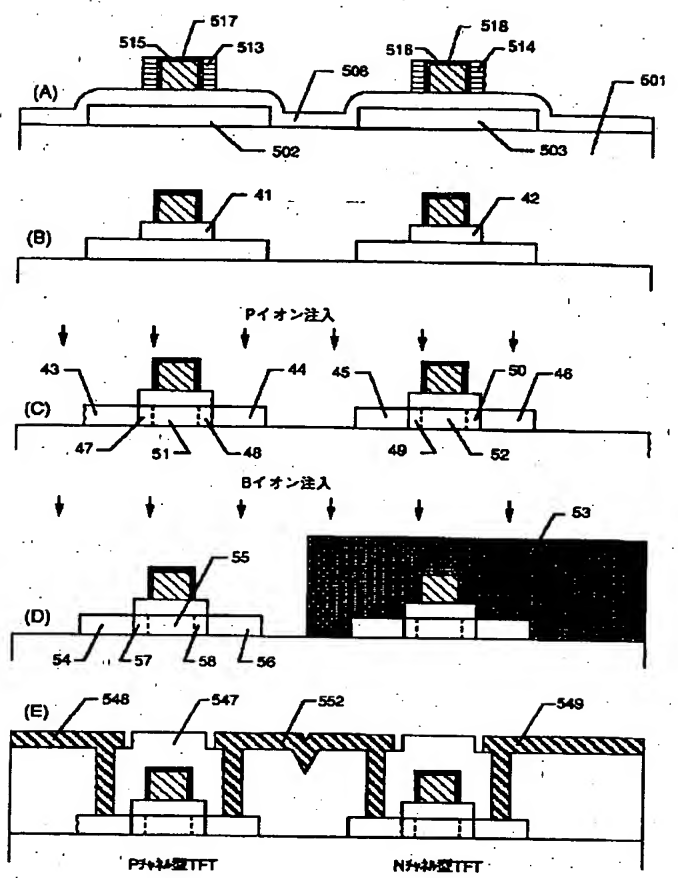
【図 8】



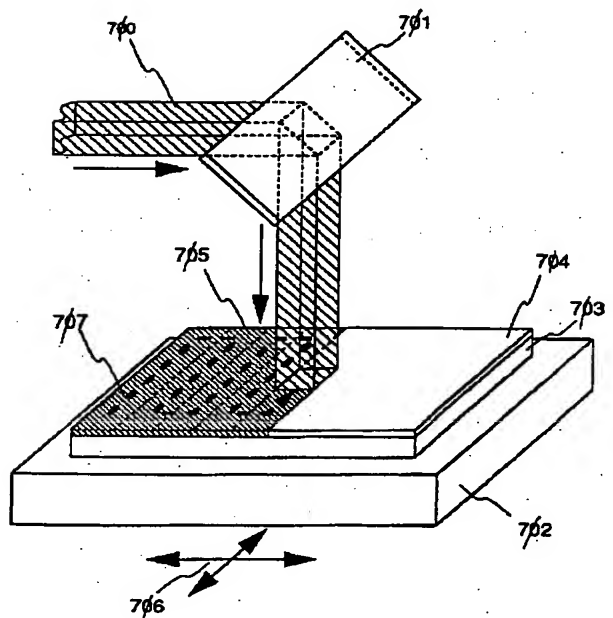
【図 9】



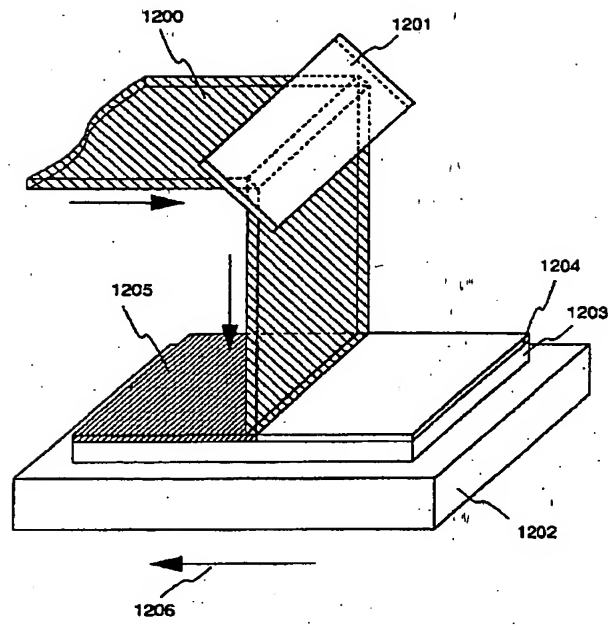
【图 1 1】



【图 12】



【図 1 3】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☒ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.